Fig. 1

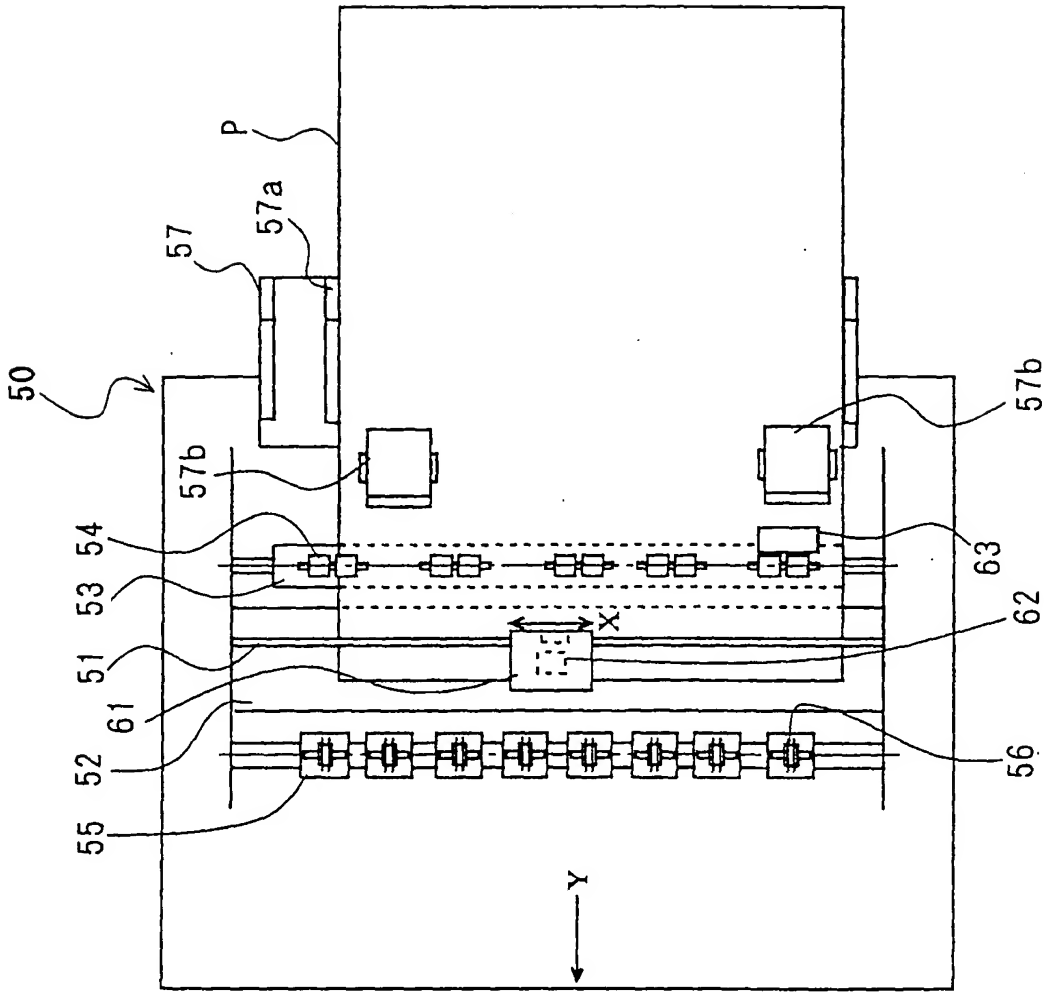


Fig. 2

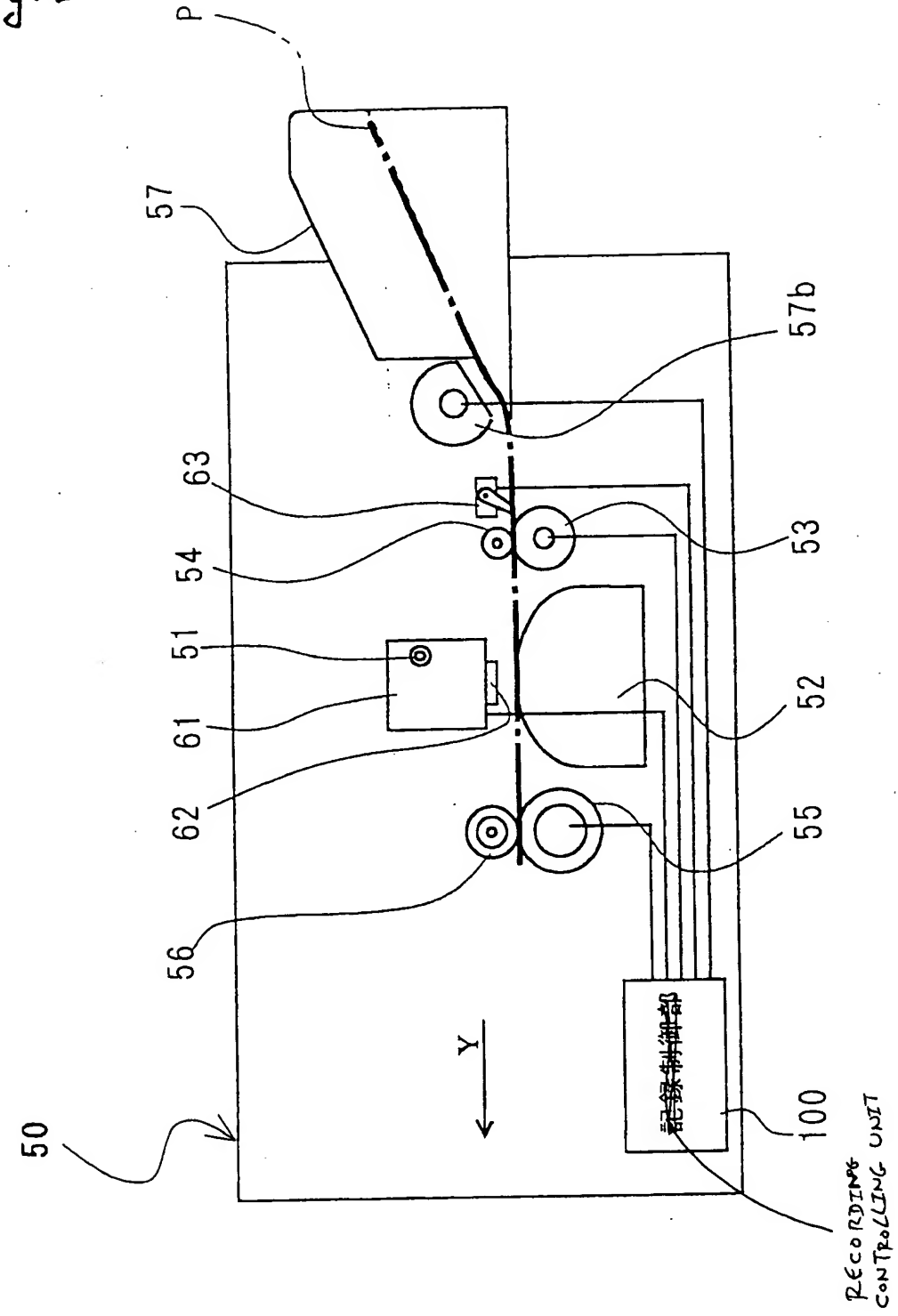
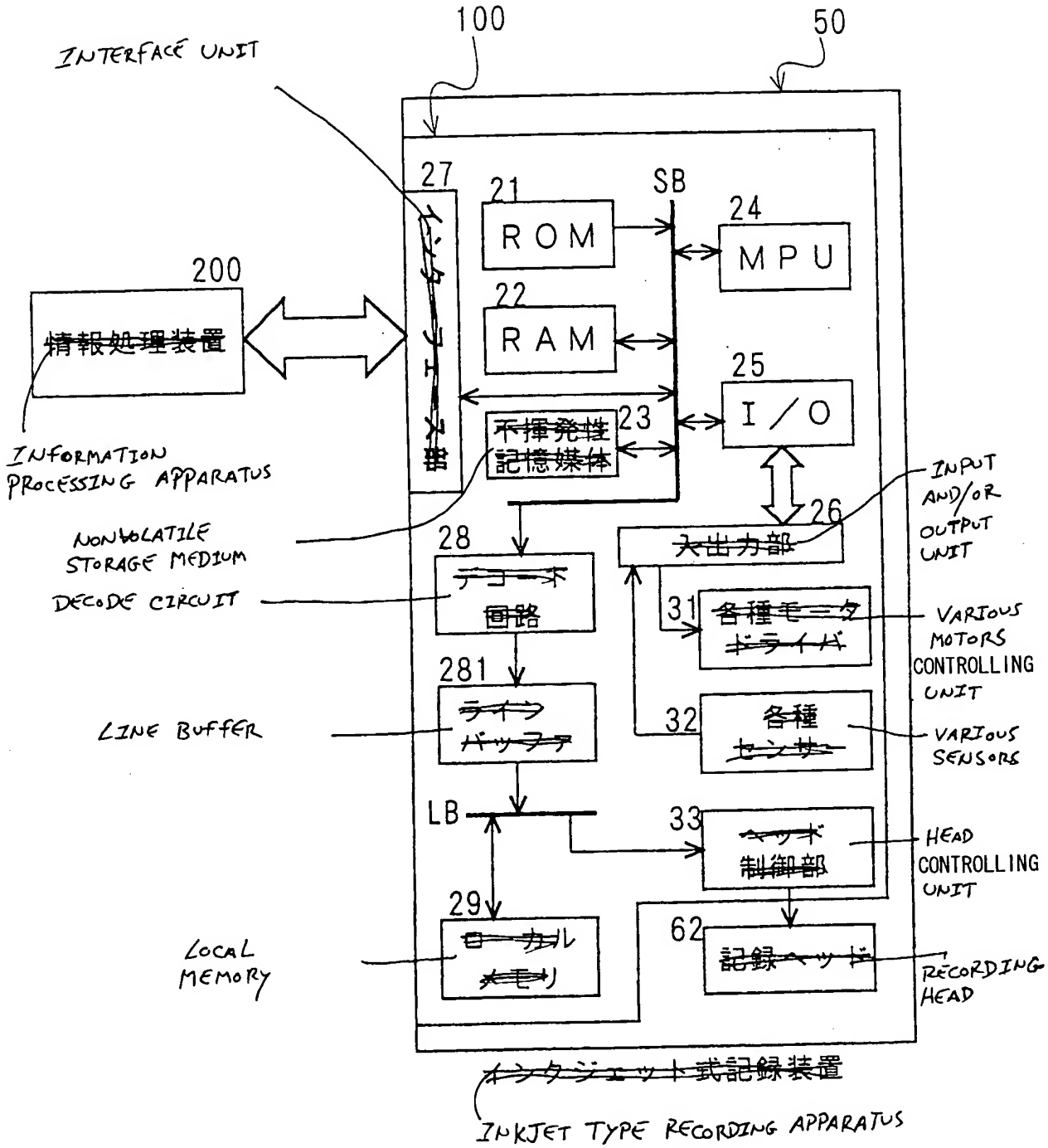

P
57
57b
63
53
54
51
52
61
62
55
56
Y
50
100
記録制御部
RECORDING CONTROLLING UNIT

Fig. 3


100
50
INTERFACE UNIT
27
インターフェース部
21
ROM
SB
24
MPU
200
情報処理装置
22
RAM
25
I／O
INFORMATION PROCESSING APPARATUS
不揮発性記憶媒体
23
NONVOLATILE STORAGE MEDIUM
INPUT AND/OR OUTPUT UNIT
26
入出力部
28
デコード回路
DECODE CIRCUIT
31
各種モータドライバ
VARIOUS MOTORS CONTROLLING UNIT
281
ラインバッファ
LINE BUFFER
32
各種センサ
VARIOUS SENSORS
LB
33
ヘッド制御部
HEAD CONTROLLING UNIT
29
ローカルメモリ
LOCAL MEMORY
62
記録ヘッド
RECORDING HEAD
インクジェット式記録装置
INKJET TYPE RECORDING APPARATUS

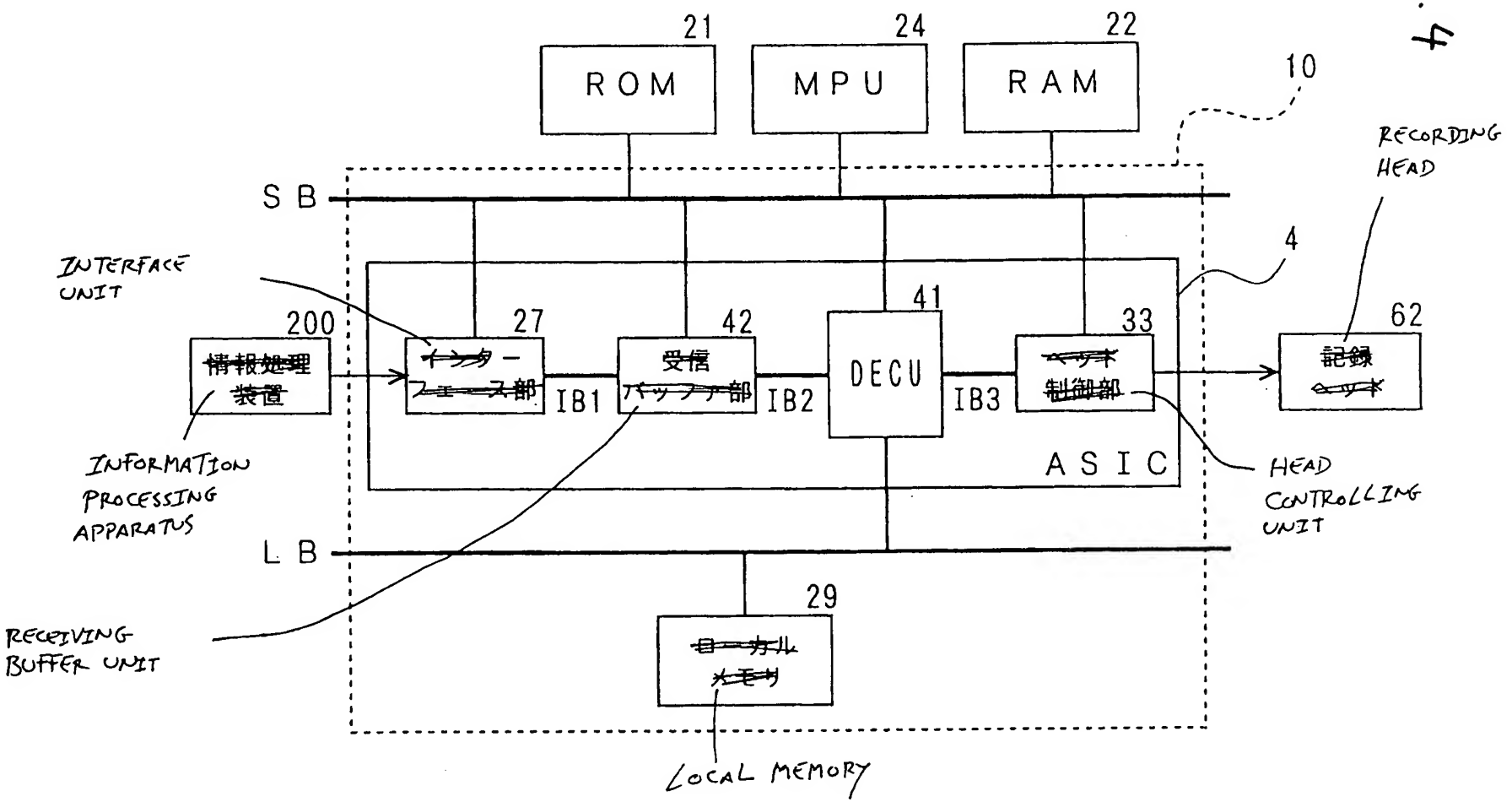
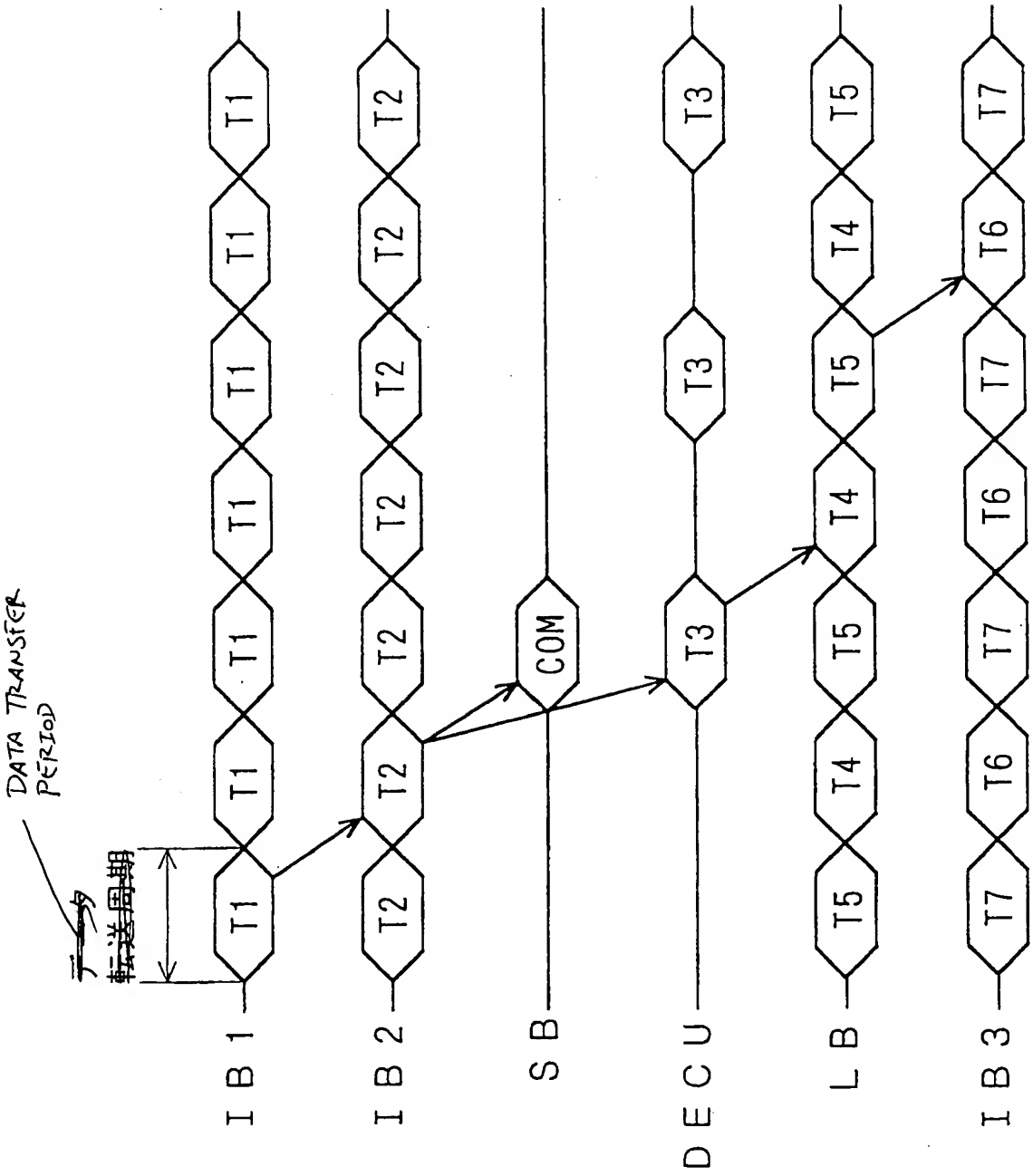

21
24
22
ROM
MPU
RAM
10
RECORDING HEAD
SB
INTERFACE UNIT
4
200
27
42
41
33
62
情報処理装置
インター フェース部
受信 バッファ部
DECU
ヘッド制御部
記録 ヘッド
IB1
IB2
IB3
ASIC
INFORMATION PROCESSING APPARATUS
HEAD CONTROLLING UNIT
LB
29
RECEIVING BUFFER UNIT
内蔵メモリ
LOCAL MEMORY

Fig. 4

Fig. 5


DATA TRANSFER PERIOD
データ転送周期
IB1
IB2
SB
DECU
LB
IB3
T1
T2
COM
T3
T4
T5
T6
T7

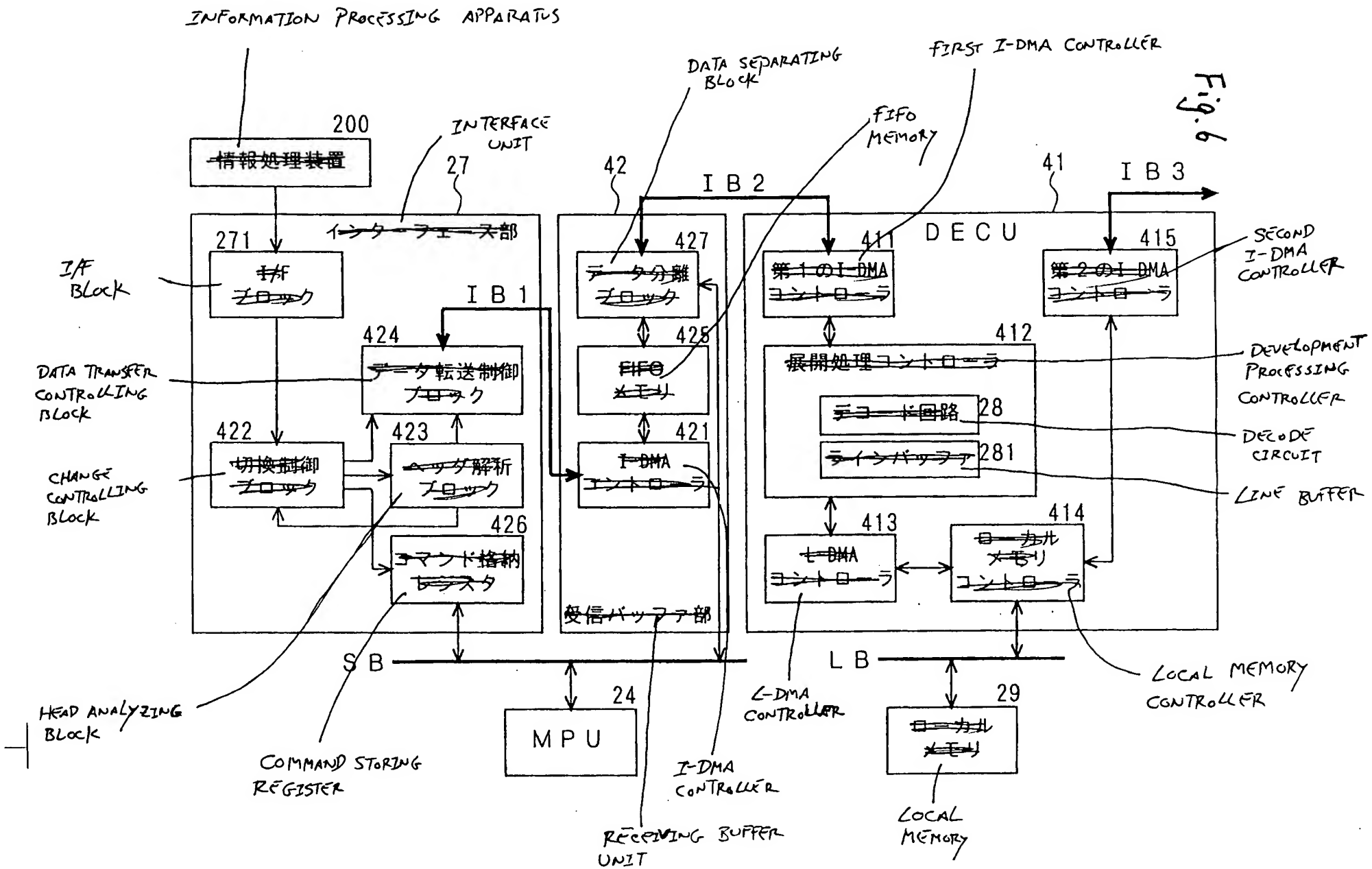

INFORMATION PROCESSING APPARATUS
200
情報処理装置
INTERFACE UNIT
27
インターフェース部
271
I/F ブロック
I/F BLOCK
DATA TRANSFER CONTROLLING BLOCK
424
データ転送制御ブロック
422
切換制御ブロック
CHANGE CONTROLLING BLOCK
423
ヘッダ解析ブロック
HEAD ANALYZING BLOCK
426
コマンド格納レジスタ
COMMAND STORING REGISTER
SB
24
MPU
DATA SEPARATING BLOCK
42
IB2
427
データ分離ブロック
FIFO MEMORY
425
FIFOメモリ
421
I-DMA コントローラ
I-DMA CONTROLLER
受信バッファ部
RECEIVING BUFFER UNIT
FIRST I-DMA CONTROLLER
41
DECU
411
第1のI-DMA コントローラ
C-DMA CONTROLLER
412
展開処理コントローラ
DEVELOPMENT PROCESSING CONTROLLER
28
デコード回路
DECODE CIRCUIT
281
ラインバッファ
LINE BUFFER
413
C-DMA コントローラ
414
ローカルメモリ コントローラ
LOCAL MEMORY CONTROLLER
LB
29
ローカルメモリ
LOCAL MEMORY
IB1
IB3
415
第2のI-DMA コントローラ
SECOND I-DMA CONTROLLER

Fig. 9

Fig. 7

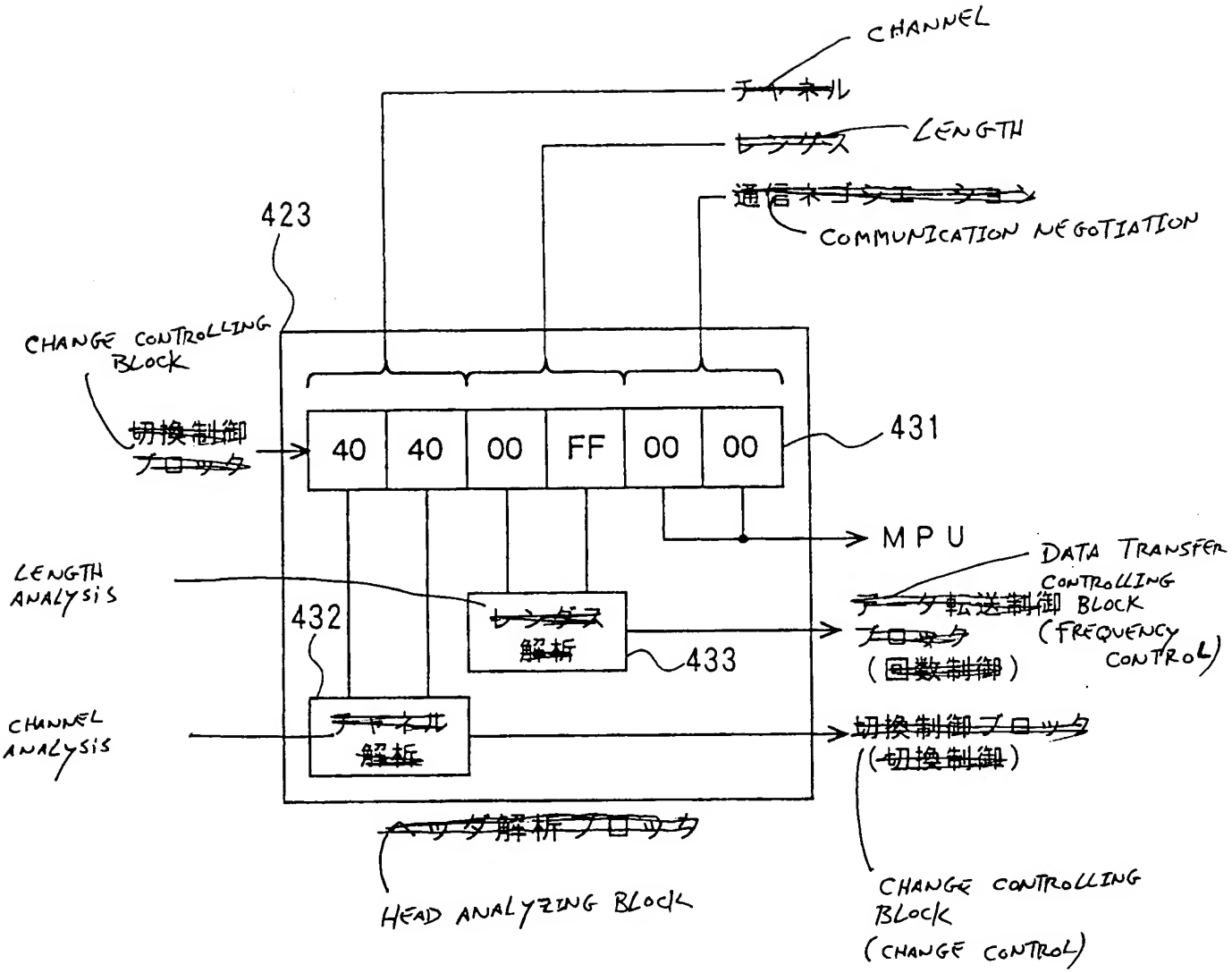
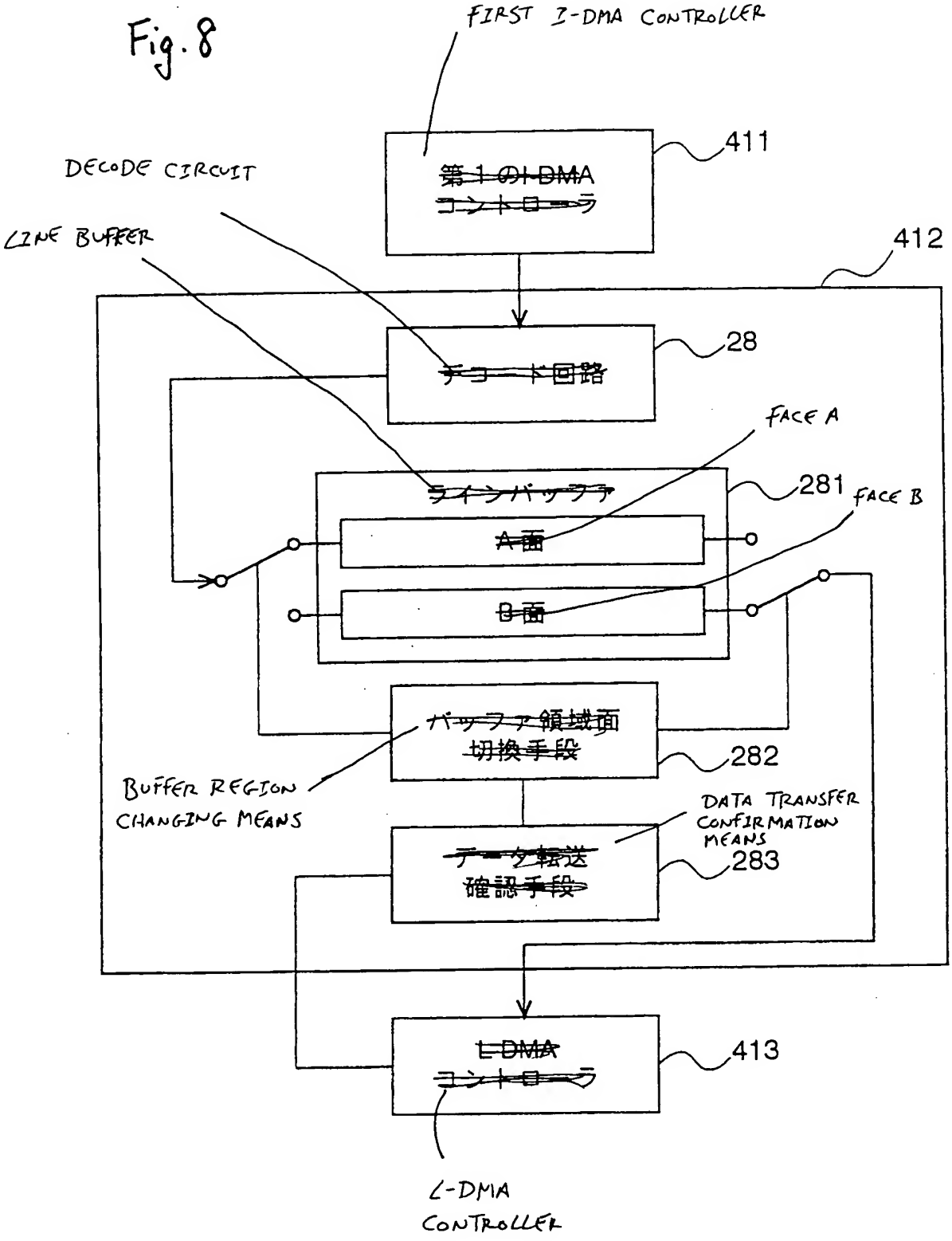

CHANNEL
チャネル
LENGTH
レングス
通信ネゴシエーション
COMMUNICATION NEGOTIATION
423
CHANGE CONTROLLING BLOCK
切換制御ブロック
40
40
00
FF
00
00
431
MPU
DATA TRANSFER CONTROLLING BLOCK (FREQUENCY CONTROL)
データ転送制御ブロック
(回数制御)
LENGTH ANALYSIS
レングス解析
432
433
CHANNEL ANALYSIS
チャネル解析
切換制御ブロック
(切換制御)
ヘッダ解析ブロック
HEAD ANALYZING BLOCK
CHANGE CONTROLLING BLOCK
(CHANGE CONTROL)

Fig. 8


FIRST I-DMA CONTROLLER
411
DECODE CIRCUIT
LINE BUFFER
412
28
FACE A
281
FACE B
282
BUFFER REGION CHANGING MEANS
DATA TRANSFER CONFIRMATION MEANS
283
413
L-DMA CONTROLLER

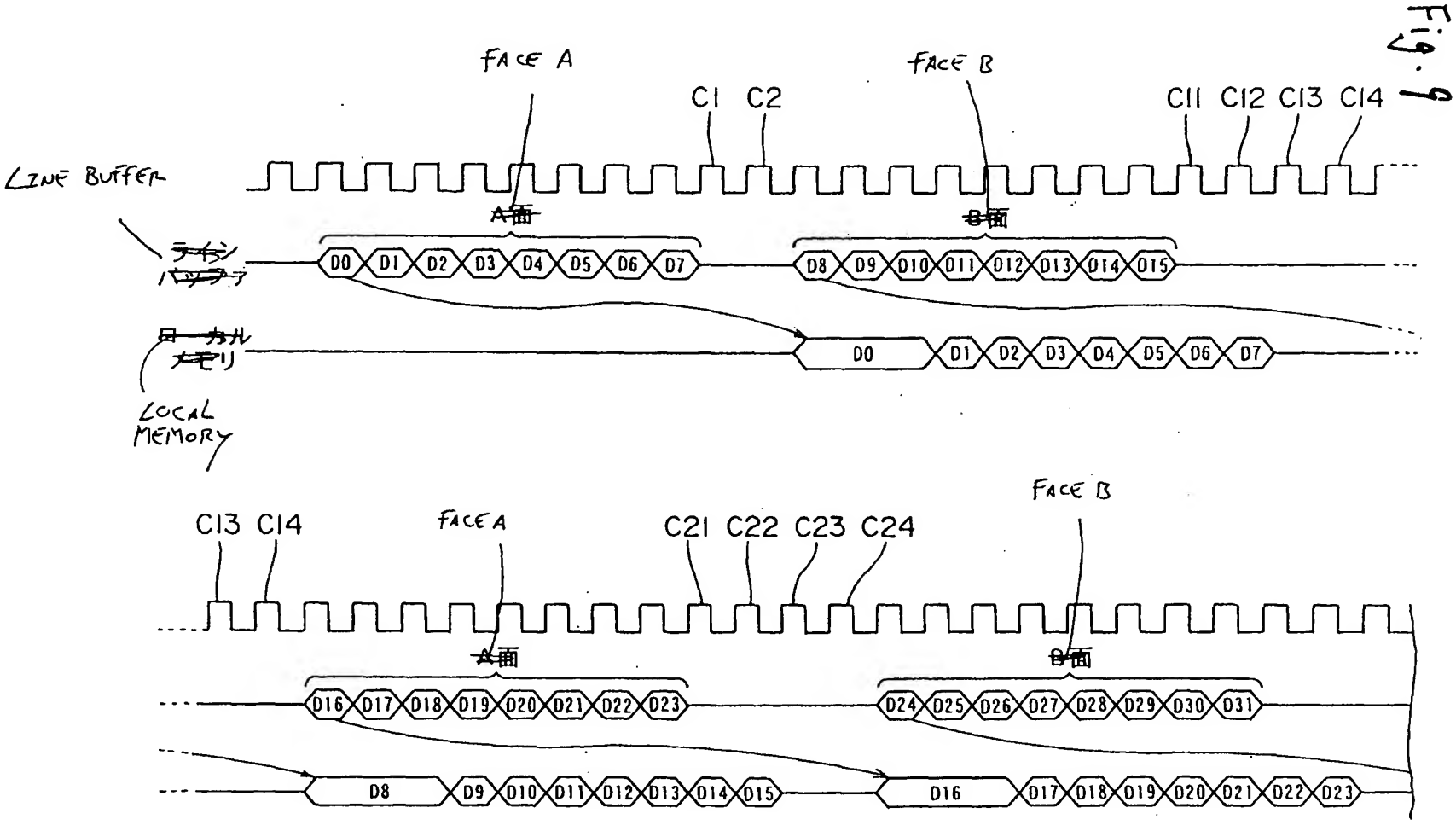

FACE A
C1 C2
FACE B
C11 C12 C13 C14
LINE BUFFER
A面
B面
D0 D1 D2 D3 D4 D5 D6 D7
D8 D9 D10 D11 D12 D13 D14 D15
D0 D1 D2 D3 D4 D5 D6 D7
LOCAL MEMORY
C13 C14
FACE A
C21 C22 C23 C24
FACE B
A面
B面
D16 D17 D18 D19 D20 D21 D22 D23
D24 D25 D26 D27 D28 D29 D30 D31
D8 D9 D10 D11 D12 D13 D14 D15
D16 D17 D18 D19 D20 D21 D22 D23

Fig. 6

OPERATION CONDITION
MAIN MEMORY SIDE: STARTING ADDRESS OF RUN LENGTH DATA IS AN EVEN ADDRESS
LOCAL MEMORY SIDE: STARTING ADDRESS OF IMAGE DATA IS AN EVEN ADDRESS
NUMBER OF BYTES IN 1 LINE: 16 BYTES

Fig. 10

動作条件
メインメモリ側：ランレングスデータの開始アドレス 偶数アドレス
ローカルメモリ側：イメージデータの開始アドレス 偶数アドレス
1ラインバイト数：16バイト

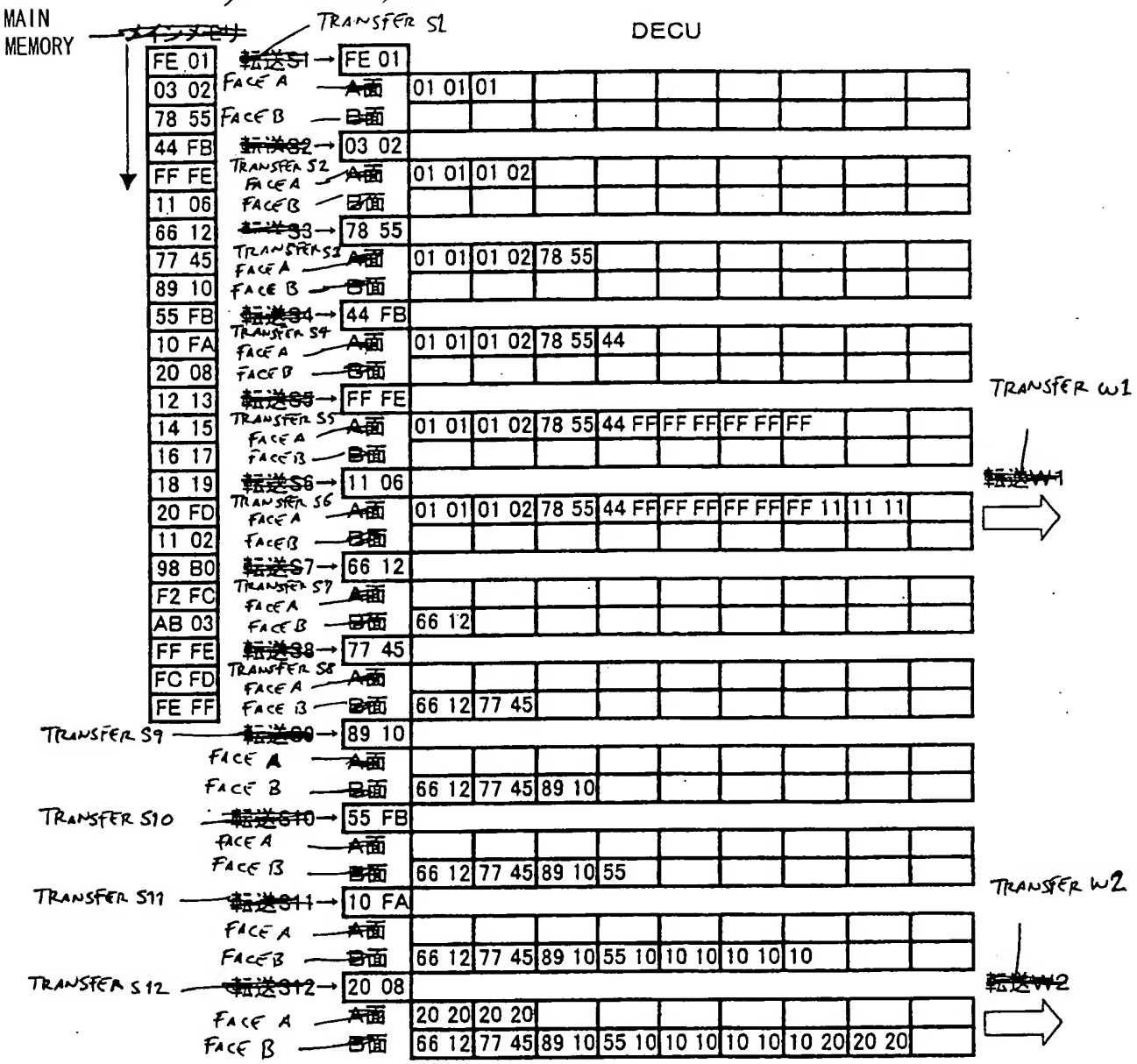
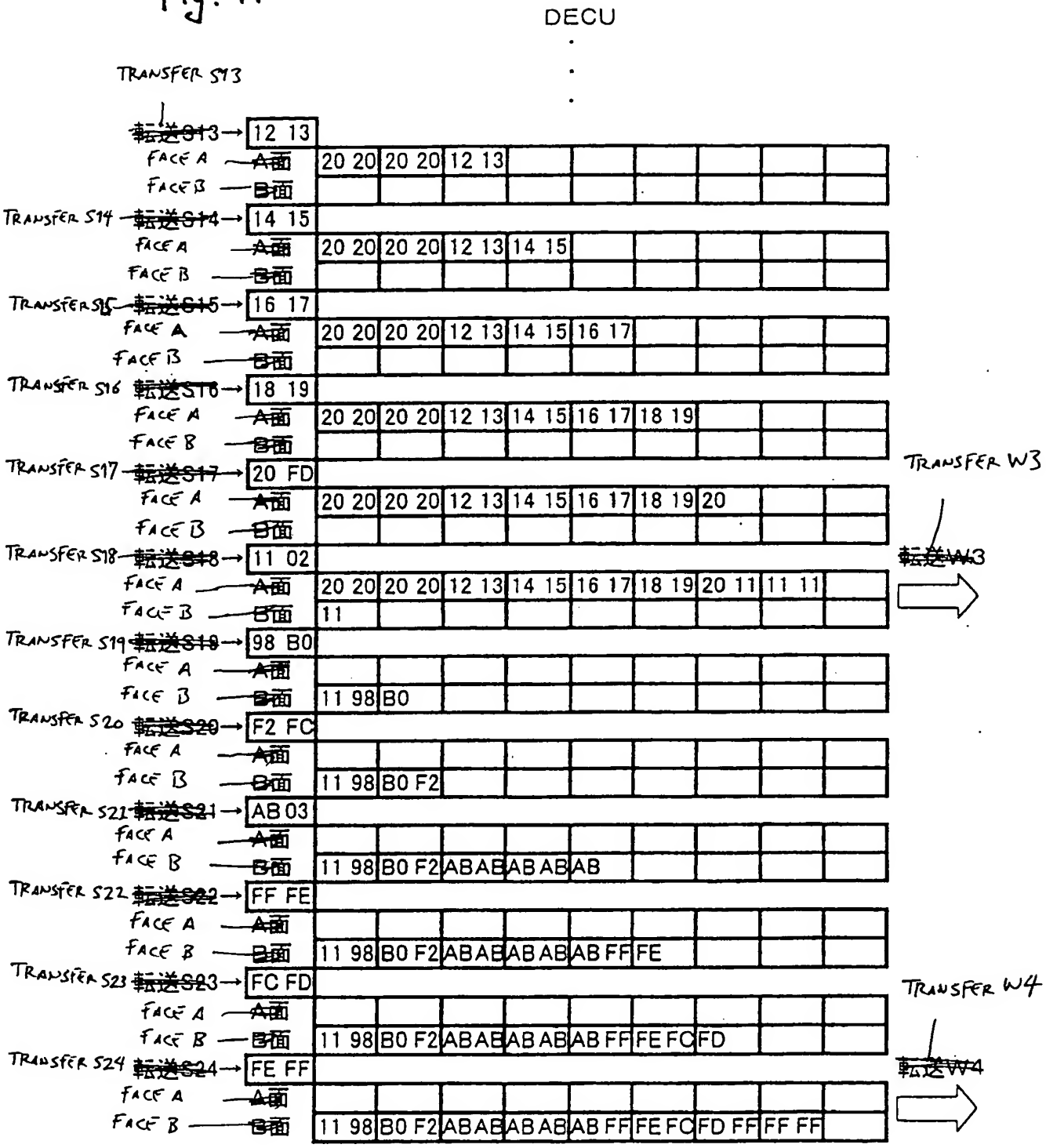


Fig. 11


DECU
TRANSFER S13
転送S13
12 13
FACE A
A面
FACE B
B面
20 20 20 20 12 13
TRANSFER S14
転送S14
14 15
20 20 20 20 12 13 14 15
TRANSFER S15
転送S15
16 17
20 20 20 20 12 13 14 15 16 17
TRANSFER S16
転送S16
18 19
20 20 20 20 12 13 14 15 16 17 18 19
TRANSFER S17
転送S17
20 FD
20 20 20 20 12 13 14 15 16 17 18 19 20
TRANSFER W3
転送W3
TRANSFER S18
転送S18
11 02
20 20 20 20 12 13 14 15 16 17 18 19 20 11 11 11
11
TRANSFER S19
転送S19
98 B0
11 98 B0
TRANSFER S20
転送S20
F2 FC
11 98 B0 F2
TRANSFER S21
転送S21
AB 03
11 98 B0 F2 AB AB AB AB AB
TRANSFER S22
転送S22
FF FE
11 98 B0 F2 AB AB AB AB AB FF FE
TRANSFER S23
転送S23
FC FD
11 98 B0 F2 AB AB AB AB AB FF FE FC FD
TRANSFER W4
転送W4
TRANSFER S24
転送S24
FE FF
11 98 B0 F2 AB AB AB AB AB FF FE FC FD FF FF FF

SETTING CONDITION
NO VERTICAL LINE REARRANGEMENT
TOTAL NUMBER OF DEVELOPMENT BYTES: 64 BYTES (16×4)
NUMBER OF BYTES IN 1 LINE: 16 BYTES
NUMBER OF DEVELOPED LINES: 4 LINES

Fig. 12

設定条件
ライン縦並び変換なし
総展開バイト数:64バイト(16×4)
1ラインバイト数:16バイト
展開ライン数:4ライン

LOCAL MEMORY
~~ローカルメモリ~~

~~(a)~~

W1→	01 01	01 02	78 55	44 FF
	FF FF	FF FF	FF 11	11 11
	00 00	00 00	00 00	00 00
	00 00	00 00	00 00	00 00
	00 00	00 00	00 00	00 00
	00 00	00 00	00 00	00 00
	00 00	00 00	00 00	00 00
	00 00	00 00	00 00	00 00

FIG. 12A

~~(b)~~

	01 01	01 02	78 55	44 FF
	FF FF	FF FF	FF 11	11 11
W2→	66 12	77 45	89 10	55 10
	10 10	10 10	10 20	20 20
	00 00	00 00	00 00	00 00
	00 00	00 00	00 00	00 00
	00 00	00 00	00 00	00 00
	00 00	00 00	00 00	00 00

FIG. 12B

~~(c)~~

	01 01	01 02	78 55	44 FF
	FF FF	FF FF	FF 11	11 11
	66 12	77 45	89 10	55 10
	10 10	10 10	10 20	20 20
W3→	20 20	20 20	12 13	14 15
	16 17	18 19	20 11	11 11
	00 00	00 00	00 00	00 00
	00 00	00 00	00 00	00 00

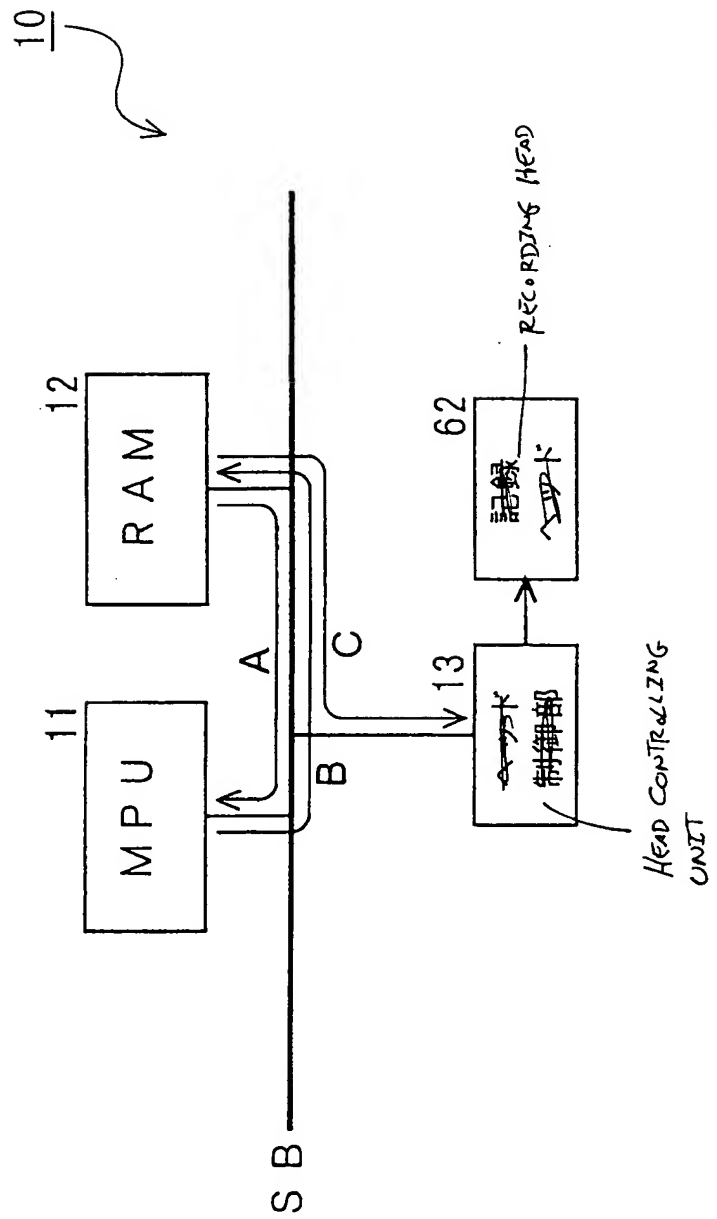
FIG. 12C

~~(d)~~

	01 01	01 02	78 55	44 FF
	FF FF	FF FF	FF 11	11 11
	66 12	77 45	89 10	55 10
	10 10	10 10	10 20	20 20
	20 20	20 20	12 13	14 15
	16 17	18 19	20 11	11 11
W4→	11 98	B0 F2	AB AB	AB AB
	AB FF	FE FC	FD FF	FF FF

FIG. 12D

Fig. 13


10
12
RAM
11
MPU
A
B
C
13
62
RECORDING HEAD
HEAD CONTROLLING UNIT
SB